

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

JP-2595298 teaches a multiple processor system. The system includes multiple processors PA and PB, and a dual port RAM 1 accessible from each processor PA and PB. An access priority control circuit 10 provides an access enable signal based on a first access request signal from each processor PA and PB. A delay circuit delays the access enable signal produced from the circuit 10. An enable circuit 12 enables, based on the access enable signal produced from the delay circuit 11, the processor PA or PB which produced the first access request signal to apply a second access request signal to the access priority control circuit 10.

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2595298号

(45) 発行日 平成9年(1997)4月2日

(24) 登録日 平成9年(1997)1月9日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/16	3 5 0		G 0 6 F 15/16	3 5 0 R

請求項の数1(全 5 頁)

(21) 出願番号	特願昭63-111878	(73) 特許権者	999999999 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	昭和63年(1988)5月9日	(72) 発明者	増永 直大 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
(65) 公開番号	特開平1-281556	(72) 発明者	金子 裕一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
(43) 公開日	平成1年(1989)11月13日	(72) 発明者	稲葉 誠一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74) 代理人	弁理士 竹内 進 (外1名)
		審査官	石井 茂和

最終頁に続く

(54) 【発明の名称】 マルチプロセッサシステム

(57) 【特許請求の範囲】

【請求項1】 複数のプロセッサと、
前記各プロセッサからアクセス可能なデュアルポートラムと、
前記各プロセッサからの第1のアクセス要求信号に対してアクセス許可信号を与えるアクセス優先制御回路と、
前記アクセス優先制御回路から出力されたアクセス許可信号を遅延させる遅延回路と、
前記遅延回路から出力されたアクセス許可信号に応じて、前記第1のアクセス要求信号を出力したプロセッサから前記アクセス優先制御回路への第2のアクセス要求信号をイネーブルとする手段と、
を備えたことを特徴とするマルチプロセッサシステム。

【発明の詳細な説明】

[概要]

複数の信号経路を介して複数のプロセッサから任意にアクセス可能なマルチプロセッサシステムに関し、

一方のプロセッサのアクセスに対して次のアクセスまで定められた時間アクセス権を与えないで、他方のプロセッサの処理能力を確保するようにしたマルチプロセッサシステムを提供することを目的とし、

複数のプロセッサと、

前記各プロセッサからアクセス可能なデュアルポートラムと、

前記各プロセッサからの第1のアクセス要求信号に対してアクセス許可信号を与えるアクセス優先制御回路と、

前記アクセス優先制御回路から出力されたアクセス許可信号を遅延させる遅延回路と、

前記遅延回路から出力されたアクセス許可信号に応じ

て、前記第1のアクセス要求信号を出力したプロセッサから前記アクセス優先制御回路への第2のアクセス要求信号をイネーブルとする手段と、により構成した。

〔産業上の利用分野〕

本発明は、複数の信号経路を介して複数のプロセッサから任意にアクセス可能なマルチプロセッサシステムに関する。

近年、マイクロプロセッサの発達により複数のマイクロプロセッサを用いたマルチプロセッサシステムが多くなっている。このマルチプロセッサシステムにあっては、例えば2つのプロセッサ間のデータ通信のために、これらの2つのプロセッサの両方から任意にアクセス可能なデュアルポートラムを用いることが一般的になっている。

この場合、一方のプロセッサのアクセス回数が頻繁になると、他方のプロセッサの処理能力が低下してしまうが、マルチプロセッサシステムの全体の処理能力を高めるためには、他方のプロセッサの処理能力をある程度確保することが必要である。

〔従来の技術〕

従来の小規模なマルチプロセッサシステムにおいては1つのプロセッサPAとメモリMAを主として構成されるメモリをデュアルポートメモリとし、もう一方のプロセッサPBから該デュアルポートメモリをアクセスして、プロセッサPAとプロセッサPB間のデータ通信を実現する。

この場合、プロセッサPBは自己の制御プログラムを格納するメモリMBを別に有し、また前記メモリMAはプロセッサPAの制御プログラムとプロセッサPA-プロセッサPB間の通信用のエリアを有している。

したがって、メモリMAはプロセッサPBからのアクセスに対してサイクルスチール、または同様なハードウェア手法を用いてメモリサイクルをプロセッサPBに与えることになる。

〔発明が解決しようとする課題〕

しかしながら、このような従来のマルチプロセッサシステムにあっては、メモリMAがプロセッサPBのアクセスに対してメモリサイクルをプロセッサPBに与えているときは、プロセッサPAのメモリアクセスを一時停止または中断するため、プロセッサPAの処理能力を犠牲にしなければならなかった。このため、プロセッサPBのアクセス回数が頻繁になると、プロセッサPAの処理能力が低下してしまうという問題点があった。

従来、このような問題点に対してプロセッサPB側の制御プログラムでデュアルポートメモリ（デュアルポートラム）へのプロセッサPBのアクセス回数を極力減らす、またはアクセス間隔をあけるようにコーディングに注意するという対策をとっていた。

しかしながら、この場合、プロセッサPB側が例えばCPU性能を向上させると、プログラマが注意していない

と、プロセッサPBのメモリMAに対するアクセス間隔が短くなり、プロセッサPAの処理能力が低下してしまう。

本発明は、このような従来の問題点に鑑みてなされたものであって、プロセッサPBのアクセスに対して次のアクセスまで定められた時間アクセス権を与えないで、プロセッサPAの処理能力を確保するようにしたデュアルポートラムのアクセス制御回路を提供することを目的としている。

〔課題を解決するための手段〕

第1図は本発明の基本構成図である。

本発明は、複数のプロセッサPA、PBと、

前記各プロセッサPA、PBからアクセス可能なデュアルポートラム1と、

前記各プロセッサPA、PBからの第1のアクセス要求信号に対してアクセス許可信号を与えるアクセス優先制御回路10と、

前記アクセス優先制御回路10から出力されたアクセス許可信号を遅延させる遅延回路11と、

前記遅延回路11から出力されたアクセス許可信号に応じて、前記第1のアクセス要求信号を出力したプロセッサPA、PBから前記アクセス優先制御回路10への第2のアクセス要求信号をイネーブルとする手段12と、
を備えた。

〔作用〕

本発明においては、プロセッサPBにアクセス優先制御回路10からアクセス許可信号B'が与えられているとき、プロセッサPBの連続したアクセス要求信号Bは、アクセス許可信号B'が遅延回路11で一定時間遅延されることから、アンド回路12の出力はLレベルとなり、アクセス優先制御回路10に出力されない。すなわち、プロセッサPBの連続したアクセス要求に対してデュアルポートラム1が連続して使用されるのを防止することができる。

したがって、前記一定時間内にプロセッサPAからアクセス要求信号Aがあるときは、プロセッサPAにアクセス許可信号A'が与えられる。

その結果、プロセッサPAの処理能力をプロセッサPBの動作速度が変わっても確保することができる。

〔実施例〕

以下、本発明の実施例を図面に基づいて説明する。

第2図および第3図は本発明の一実施例を示す図である。

まず、構成を説明すると、第2図において、PA、PBはプロセッサをそれぞれ示し、これらのプロセッサPAとプロセッサPBとの間には、データ通信のために、プロセッサPA、PBの両方から任意にアクセス可能なデュアルポートラム1が設けられている。すなわち、プロセッサPAはデータバス2を介してデュアルポートラム1に、プロセッサPBはデータバス3を介してデュアルポート

ラム1にそれぞれ接続されている。

デュアルポートラム1はプロセッサPAの制御プログラム4とプロセッサPAとプロセッサPBとの間の通信用のエリア5を有している。

6は本発明に係るアクセス制御回路であり、プロセッサPAとプロセッサPBとの間に設けられ、プロセッサPAからのアクセス要求信号Aに対してアクセス許可信号A'を与え、一方、プロセッサPBからのアクセス要求信号Bに対してアクセス許可信号B'を与える。

アクセス制御回路6とデュアルポートラム1との間にはアクセス制御回路6からの選択信号が入力するマルチプレクサ7が設けられ、マルチプレクサ7はアドレスバス8を介してプロセッサPAに、またアドレスバス9を介してプロセッサPBにそれぞれ接続されている。

次に、第3図に基づいて前記アクセス制御回路6を説明する。

第3図において、アクセス制御回路6は、アクセス優先制御回路10と、遅延回路11と、アンド回路12と、で構成されている。

アクセス優先回路10には、プロセッサPAからのアクセス要求信号Aと、プロセッサPBからのアクセス要求信号Bがそれぞれ任意に入力し、アクセス優先制御回路10はアクセス要求信号Aの方が優先するときは、プロセッサPAにアクセス許可信号A'を与え、アクセス要求信号Bの方が優先するときは、プロセッサPBにアクセス許可信号B'を与える。

遅延回路11にはアクセス許可信号B'が入力し、遅延回路11はこのアクセス許可信号B'を一定時間遅延させてアンド回路12に出力する。遅延回路11の遅延時間は、デュアルポートラム1に対するプロセッサPBの使用権をどの程度認めるかによりシステム毎に適当な値を決めれば良い。

アンド回路12には遅延回路11からの出力とプロセッサPBからのアクセス要求信号B'がそれぞれ入力し、アクセス要求信号Bは一定時間遅延されてアクセス優先制御回路10に出力される。これによりプロセッサPBの連続したアクセス要求に対してデュアルポートラム1が連続して使用されるのを防止するようにしている。

次に作用を説明する。

まず、プロセッサPAからのアクセス要求信号Aの方がプロセッサPBからのアクセス要求信号Bより優先する場合には、アクセス優先制御回路10はプロセッサPAにアクセス許可信号A'を与える。

したがって、アクセス制御回路6からの選択信号はマ

ルチプレクサ7に入力することで、アドレスがデュアルポートラム1に入力されて、デュアルポートラム1とプロセッサPAとの間でデータの授受が行なわれる。

一方、プロセッサPBからのアクセス要求信号Bの方がプロセッサPAからの要求信号Aより優先する場合には、アクセス優先制御回路10はプロセッサPBにアクセス許可信号B'を与える。

このアクセス許可信号B'は遅延回路11に入力し、一定時間遅延された後、遅延回路11の出力がアンド回路12に入る。したがって、プロセッサPBからの連続したアクセス要求信号Bがアンド回路12に入力してもアンド回路12の出力は一定時間Lレベルとなる。この一定時間中にプロセッサPAからのアクセス要求信号Aが入力すると、プロセッサPAにアクセス許可信号A'が与えられる。

したがって、プロセッサPBの連続したアクセス要求に対してデュアルポートラム1が連続して使用されるのを防止することができる。その結果、プロセッサPAの処理能力を確保することができる。

【発明の効果】

以上説明してきたように、本発明によれば、一方のプロセッサの連続したアクセス要求に対して一定時間アクセス権を与えないようにしたため、その間に他方のプロセッサにアクセス権を与えることができ、他方のプロセッサの処理能力を確保することができる。

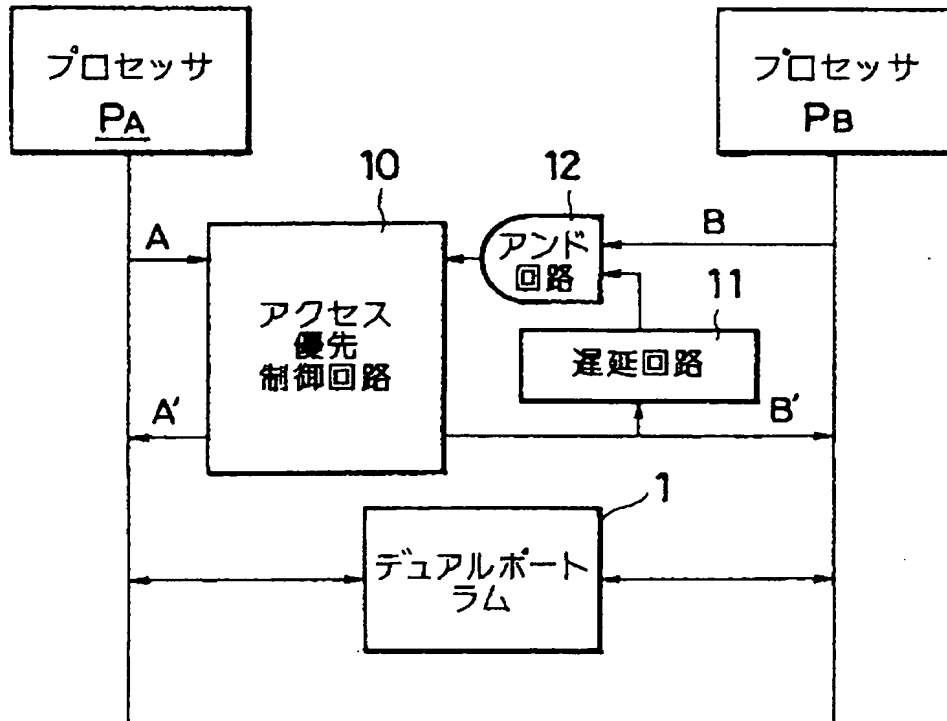
【図面の簡単な説明】

第1図は本発明の基本構成図、
第2図は本発明のシステム全体を示すブロック図、
第3図は本発明の一実施例を示すアクセス制御回路のブロック図である。

図中、

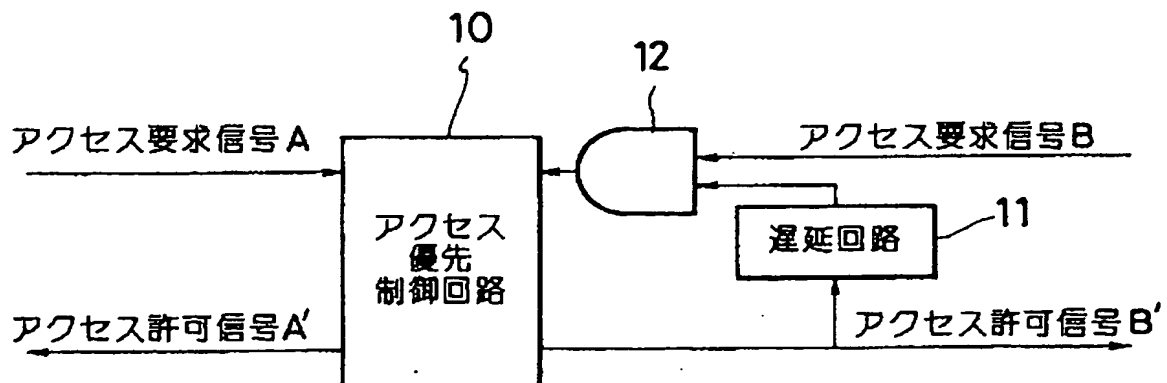
- 1……デュアルポートラム、
- 2,3……データバス、
- 4……制御プログラム、
- 5……通信エリア、
- 6……アクセス制御回路、
- 7……マルチプレクサ、
- 8,9……アドレスバス、
- 10……アクセス優先制御回路、
- 11……遅延回路、
- 12……アンド回路、
- A, B……アクセス要求信号、
- A', B'……アクセス許可信号、
- PA, PB……プロセッサ。

【第1図】



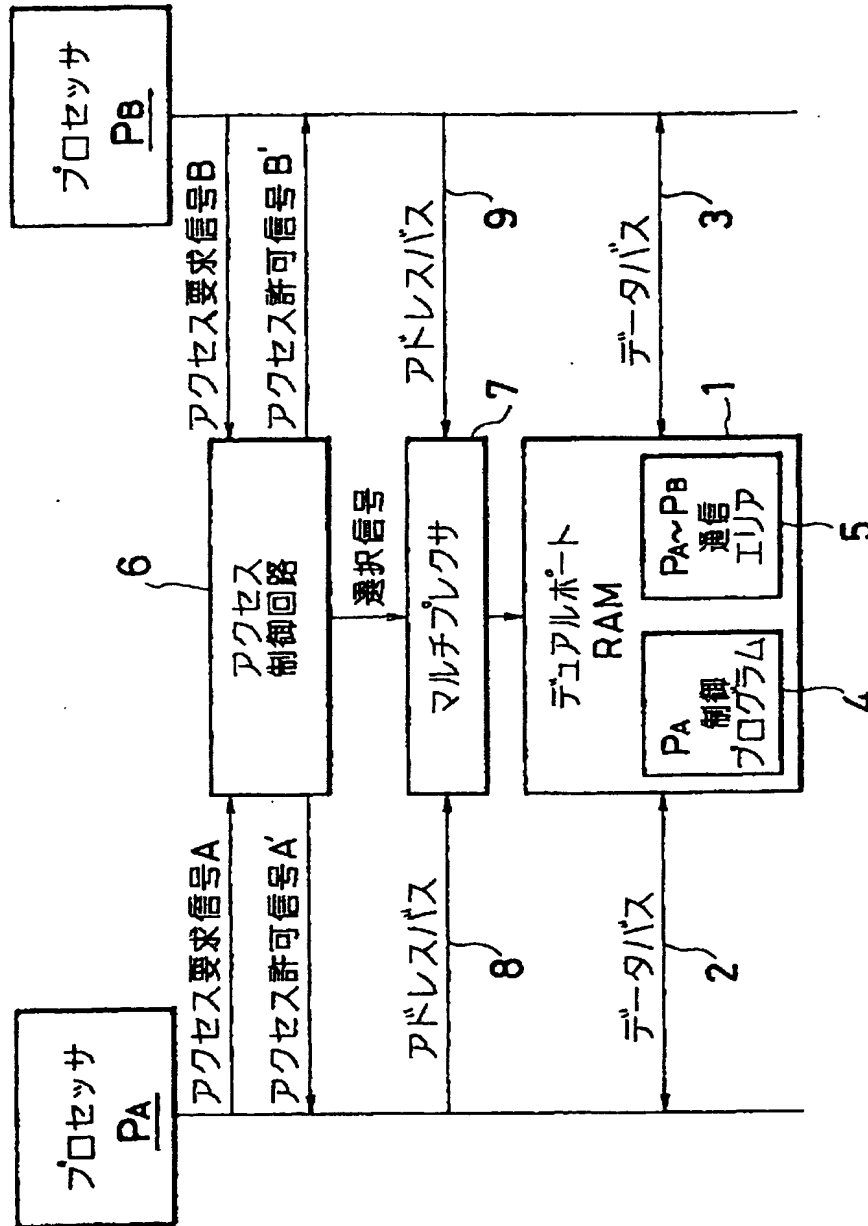
基本構成図

【第3図】



本発明の一実施例を示す
アクセス制御回路のブロック図

【第2図】



本発明のシステム全体を示すブロック図

フロントページの続き

- (56) 参考文献 特開 昭57-206974 (J P, A)
 特開 昭59-114659 (J P, A)
 実開 昭61-180342 (J P, U)